

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/60 (2006.01)

H01L 21/8238 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410030725.1

[45] 授权公告日 2007 年 5 月 16 日

[11] 授权公告号 CN 1316618C

[22] 申请日 2004.3.31

[21] 申请号 200410030725.1

[73] 专利权人 矽统科技股份有限公司

地址 台湾省新竹科学园区

[72] 发明人 柯明道 徐新智 罗文裕

[56] 参考文献

US5559352A 1996.9.24

CN1377087A 2002.10.30

US4199733A 1980.4.22

CN1122519A 1996.5.15

审查员 商纪楠

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 陈 亮

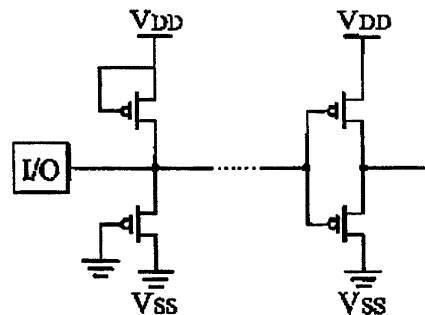
权利要求书 3 页 说明书 8 页 附图 11 页

[54] 发明名称

半导体装置、静电放电防护装置及其制造方法

[57] 摘要

本发明提供一种半导体装置的制造方法，半导体装置具有一第一及第二晶体管，分别设置于一静电放电防护电路及一内部电路中，包括以下步骤：提供一衬底；在衬底上形成第一及第二晶体管的栅极；沉积一屏蔽层，并仅使用一个光掩膜对屏蔽层进行图案化，以将位于栅极、第一晶体管部分漏极区、第二晶体管源极及漏极区上方的屏蔽层移除；利用图案化后的屏蔽层，以一第一浓度进行一第一离子注入步骤；移除图案化后的屏蔽层，并形成栅极的侧间隙壁；以一第二浓度进行一第二离子注入步骤，其中第二浓度大于第一浓度。



1、一种半导体装置的制造方法，其特征在于，适用于一半导体装置，该半导体装置具有一第一及第二晶体管，分别设置于一静电放电防护电路及一内部电路中，该方法包括以下步骤：

提供一衬底；

在该衬底上形成该第一及第二晶体管的栅极；

沉积一屏蔽层，并仅使用一个光掩膜对该屏蔽层进行图案化，以将位于该些栅极、该第一晶体管部分漏极区、该第二晶体管源极及漏极区上方的屏蔽层移除；

利用该图案化后的屏蔽层，以一第一浓度进行一第一离子注入步骤；

移除该图案化后的屏蔽层，并形成该些栅极的侧间隙壁；以及

以一第二浓度进行一第二离子注入步骤，其中该第二浓度大于该第一浓度。

2、如权利要求1所述的半导体装置的制造方法，其特征在于，该第一离子注入步骤为N型离子静电放电防护轻掺杂注入步骤。

3、如权利要求1所述的半导体装置的制造方法，其特征在于，该第二离子注入步骤为N型离子漏极重掺杂扩散步骤。

4、如权利要求1所述的半导体装置的制造方法，其特征在于，该第一离子注入步骤为P型离子静电放电防护轻掺杂注入步骤。

5、如权利要求1所述的半导体装置的制造方法，其特征在于，该第二离子注入步骤为P型离子漏极重掺杂扩散步骤。

6、如权利要求1所述的半导体装置的制造方法，其特征在于，该第一离子注入步骤所使用的布局结构适用于单一金属氧化物半导体场效晶体管。

7、如权利要求1所述的半导体装置的制造方法，其特征在于，该第一离子注入步骤所使用的布局结构适用于一具有堆栈结构的金属氧化物半导体场效晶体管。

8、如权利要求1所述的半导体装置的制造方法，其特征在于，该第一离子注入步骤中所使用的深度大于该第二离子注入步骤中所使用的深度。

9、如权利要求1所述的半导体装置的制造方法，其特征在于，在进行第二离子注入步骤之后，还包括以下步骤：

形成多个内部连接导线，以使该第一晶体管的漏极耦接至一接合垫，源极与栅极耦接接收一接地电位。

10、如权利要求1所述的半导体装置的制造方法，其特征在于，在进行第二离子注入步骤之后，还包括以下步骤：

在该第二晶体管的栅极、漏极及源极上形成接触插塞。

11、一种静电放电防护装置，其特征在于，耦接至一内部电路的接合垫，包括：

一衬底；

一栅极，形成于该衬底上；

一源极及漏极区，形成于该衬底中且分别位于该栅极的两侧，该漏极区耦接至该接合垫，而该源极耦接接收一参考电位；以及

一轻掺杂区，形成于该衬底中且仅位于该栅极与该漏极区之间，其深度大于该漏极区的深度。

12、如权利要求11所述的静电放电防护装置，其特征在于，该源极及漏极区为N型重掺杂区。

13、如权利要求11所述的静电放电防护装置，其特征在于，该源极及漏极区为P型重掺杂区。

14、如权利要求11所述的静电放电防护装置，其特征在于，该轻掺杂区为一N型静电放电防护轻掺杂区。

15、如权利要求11所述的静电放电防护装置，其特征在于，该轻掺杂区为一P型静电放电防护轻掺杂区。

16、一种半导体装置，其特征在于，包括：

一衬底;

一内部电路,形成于该衬底上,包括:

一第一栅极,形成于该衬底上;以及

一第一源极及漏极区,形成于该衬底中且分别位于该第一栅极的两侧;

一静电放电防护电路,形成于该衬底上,包括:

一第二栅极,形成于该衬底上;以及

一第二源极及漏极区,形成于该衬底中且分别位于该第二栅极的两侧;

以及

一第一及第二轻掺杂区,形成于该衬底中,其中该第一轻掺杂区包围该第一漏极区,而该第二轻掺杂区仅设置于该第二栅极及第二漏极区之间,且该第一及第二轻掺杂区的深度均大于该第一及第二漏极区的深度。

17、如权利要求 16 所述的半导体装置,其特征在于,该些源极及漏极区为 N 型重掺杂区。

18、如权利要求 16 所述的半导体装置,其特征在于,该些源极及漏极区为 P 型重掺杂区。

19、如权利要求 16 所述的半导体装置,其特征在于,该些轻掺杂区为 N 型静电放电防护轻掺杂区。

20、如权利要求 16 所述的半导体装置,其特征在于,该些轻掺杂区为 P 型静电放电防护轻掺杂区。

半导体装置、静电放电防护装置及其制造方法

技术领域

本发明有关于一种半导体装置的制造方法，特别有关于一种经由深次微米互补金属氧化物半导体工艺，制作一种具有低接合面电容、低漏电流及高防护效能的静电放电防护电路。

背景技术

静电放电的发生，是由于不同材质间磨擦的动作产生了大量电压或电荷而发生放电现象所造成的，如此的放电脉冲大约可延续数个至数百纳秒，其时间长度取决于其放电的模式。在集成电路产品上，组件级的静电放电模式有三种：人体模型(HBM)、机械模型(MM)及充电组件模型(CDM)。为了能使静电放电防护装置能够具有相当的防护力(在人体模型中达到约 $\pm 2\text{kV}$ 、在机械模型中达到约 $\pm 200\text{V}$ 、在充电组件模型中达到约 $\pm 1000\text{V}$)以及符合一般工业标准的规范，已经有许多提升集成电路中静电放电防护电路防护力的方法被研究出来。

在集成电路中最先遭遇到静电脉冲的组件通常是输入输出缓冲器。输入输出缓冲器直接连接至芯片上直接暴露于外在环境的焊垫或接脚端，如图1所示。当一静电脉冲施加于输入输出焊垫时，大量(数个安培)的静电放电电流会经集成电路中某个路径进行放电。如果集成电路缺乏适当的静电放电防护装置，这个大量的静电放电电流会造成栅极氧化层的损坏或是在漏极侧的较弱通道表面引起电流聚集效应，导致金属氧化物半导体场效晶体管装置部份区域被烧毁。

由于在深次微米互补金属氧化物半导体(CMOS)工艺的集成电路中，其扩散接合面的深度较浅，且使用了轻掺杂漏极(LDD)结构与金属硅化

(silicidation) 步骤, 因而降低了集成电路静电放电防护耐受能力。因此, 必需将静电放电防护电路与组件整合在芯片上以保护内部电路不受静电放电的损害。在图 1 中所显示的金属氧化物半导体场效晶体管装置用以做为静电放电钳制装置, 进行静电放电电流的放电动作, 而其静电放电防护力端赖此一钳制电路的静电放电防护表现。

在深次微米互补金属氧化物半导体技术中, N 型的金属氧化物半导体组件会具有轻掺杂漏极结构, 以克服热电子的问题。漏极的接触插塞至多晶硅栅极之间距由一额外的金属硅化阻挡光掩膜 (RPO) 来决定, 其可移除在源极及漏极区的金属硅化物、提高静电放电防护能力。然而, 轻掺杂漏极结构通常会降低静电放电防护力。为了提高防护力, 会再使用一额外的静电放电子注入光掩膜以消除轻掺杂漏极突起结构。有多个美国专利已经揭露了经由静电放电子注入修正的组件结构, 而提高了静电放电防护力。

一般来说, 静电放电子注入步骤有两类, 一个是 N 型、另一是 P 型, 如图 2 及图 3 所示。图 4 显示了一标准的 N 型砷离子的静电放电子注入流程。如方块 411 所示, 先提供一具氧化层的衬底, 在形成轻掺杂漏极结构 (如方块 412 所示) 后, 接着在所有组件 (包含了静电放电防护组件及内部组件) 上均形成侧间隙壁, 如方块 413 所示。然后, 静电放电防护组件会经由静电放电光掩膜进行图案化而形成 N 型静电放电屏蔽 (如方块 414 所示), 再使其侧间隙壁被移除 (如方块 415 所示)。其后, 再进行砷离子静电放电注入 (如方块 416 所示), 并形成源/漏极区 (如方块 417 所示), 接着再形成硅化物接触区 (如方块 418 所示), 并形成层间介电层 (如方块 419 所示), 以及形成接触窗 (如方块 420 所示), 最后上金属层以及保护层 (如方块 421 所示), 如此形成的 N 型离子注入区会含盖整个源/漏极区并包住了在静电放电防护组件中轻掺杂漏极的突起结构。此外, 在美国第 5672527 号专利中揭露了一类类似的 N 型静电放电子注入方法, 其中静电放电防护组件在侧间隙壁形成前完成。整个源/漏极区及静电放电防护组件的轻掺杂漏极结构均被静电放电子

子注入区所含盖，且侧间隙壁没有被移除。然而，这种静电放电防护组件会有着崩溃电压增高的问题。

在美国第 5559352 号专利中揭露了一种形成静电放电防护组件的方法，包括了一高能量及 P 型静电放电离子重掺杂注入步骤，其中掺杂离子经由源极及漏极的接触开孔注入衬底的。如此形成的静电放电离子注入区会位于源/漏极区的下方，降低了源/漏极至 P 型衬底间接合面的崩溃电压。因此，这种静电放电防护组件可以快速地被启动，以保护内部电路的薄氧化层不致遭受静电放电损害。

在美国第 5953601 号专利中揭露了另一种静电放电防护组件的形成方法，包括以下几个步骤：使用一屏蔽层覆盖内部组件以及静电放电防护组件的部分金属硅化层；经由蚀刻该些未被屏蔽层覆盖的硅化层而使得导电层及部分源/漏极区被暴露；在屏蔽层的遮蔽下，经由离子注入步骤形成 P 型重掺杂区；再经由另一个离子注入步骤形成位于整个漏极区下方且包住轻掺杂漏极结构的静电放电离子注入区。P 型重掺杂的静电放电离子注入区位于部分源/漏极区下方而形成一个齐纳 (Zener) 接合面，降低了接合面的崩溃电压。此外，N 型的静电放电离子注入步骤亦避免了因轻掺杂漏极结构所造成的防护力下降的问题。然而，由 P 型静电放电离子注入所形成的齐纳接合面具有高漏电的缺点，且增加了静电放电防护组件的接合面寄生电容值。

在混合电压的集成电路中，核心逻辑电路操作于一较低的电压而输入输出电路却操作于一较高电压上。静电放电防护组件必备的静电放电离子注入区会将齐纳接合面的崩溃电压从 8 伏特拉低至 5 伏特。因此，静电放电防护组件极易因为噪声或是信号的突峰 (overshooting) 而发生误触动的现象。在高速集成电路中，静电放电防护组件的接合面寄生电容值与接合面耗尽区宽度成正比。由于在比较此静电放电防护晶体管与没有 P 型静电放电离子注入区的组件时，静电放电防护晶体管的齐纳接合面耗尽区宽度较小，造成 P 型静电放电离子注入区会使得齐纳接合面的寄生电容值提高，因而降低了输入

输出接口电路的操作速度。因此，具有P型静电放电离子注入区的静电放电防护组件不适用于高速或混合电压的集成电路中。

发明内容

为了解决上述问题，本发明提供一种使用深次微米互补金属氧化物半导体工艺制作具有低接合面电容、低漏电流及高防护力的静电放电防护组件的方法。

本发明的第一目的在于提供一种半导体装置的制造方法，适用于一半导体装置，该半导体装置具有一第一及第二晶体管，分别设置于一静电放电防护电路及一内部电路中，该方法包括以下步骤：提供一衬底；在该衬底上形成该第一及第二晶体管的栅极；沉积一屏蔽层，并仅使用一个光掩膜对该屏蔽层进行图案化，以将位于该些栅极、该第一晶体管部分漏极区、该第二晶体管源极及漏极区上方的屏蔽层移除；利用该图案化后的屏蔽层，以一第一浓度进行一第一离子注入步骤；移除该图案化后的屏蔽层，并形成该些栅极的侧间隙壁；以及以一第二浓度进行一第二离子注入步骤，其中该第二浓度大于该第一浓度。

本发明的第二目的在于提供一种静电放电防护装置，耦接至一内部电路的接合垫，包括：一衬底；一栅极，形成于该衬底上；一源极及漏极区，形成于该衬底中且分别位于该栅极的两侧，该漏极区耦接至该接合垫，而该源极耦接接收一参考电位；以及一轻掺杂区，形成于该衬底中且仅位于该栅极与该漏极区之间，其深度大于该漏极区的深度。

本发明的第三目的在于提供一种半导体装置，包括：一衬底；一内部电路，形成于该衬底上；一静电放电防护电路，形成于该衬底上；以及一第一及第二轻掺杂区，形成于该衬底中，其中，该内部电路包括形成于该衬底上的一第一栅极以及形成于该衬底中且分别位于该第一栅极的两侧之一第一源极及漏极区，而该静电放电防护电路包括形成于该衬底上之一第二栅极以及形成于该衬底中且分别位于该第二栅极的两侧之一第二源极及漏极区，该

第一轻掺杂区包围该第一漏极区，而该第二轻掺杂区仅设置于该第二栅极及第二漏极区之间，且该第一及第二轻掺杂区的深度均大于该第一及第二漏极区的深度。

以下，就图式说明本发明的一种半导体装置、静电放电防护装置及其制造方法的实施例。

附图说明

图 1 显示了一传统芯片上具有输入输出缓冲器的静电放电防护电路；
图 2 显示了一传统具有 N 型静电放电离子注入的静电放电防护组件；
图 3 显示了传统具有 P 型静电放电离子注入的静电放电防护组件；
图 4 显示了一传统静电放电防护组件的工艺；
图 5A ~ 图 5F 显示了本发明一实施例中同时具有一静电放电防护电路及内部电路的半导体装置制造方法；
图 6 显示了本发明一实施例中的静电放电防护电路的剖面图；
图 7 显示了本发明一实施例中内部电路的剖面图；
图 8 显示了本发明一实施例中具有堆叠型 NMOS 结构的静电放电防护组件的剖面图。

图号说明

51	P 型衬底	511	P 型井区	512	浅沟隔离区
521、522	栅极	53、59	屏蔽层	57、58	光掩膜
541	漏极区	551	静电放电离子注入区		
552	轻掺杂漏极区			56	侧间隙壁
543、544、81		N 型重掺杂区		61	接合垫
71	接触点				

具体实施方式

图 5A ~ 图 5F 显示了本发明一实施例中同时具有一静电放电防护电路及内部电路的半导体装置制造方法, 静电放电防护电路及内部电路均是由晶体管所组成。

如图 5A 所示, 首先提供一 P 型衬底 51, 其具有一 P 型井区 511 及浅沟隔离 (STI) 区 512。静电放电防护电路及内部电路的晶体管栅极 521 及 522 则形成于 P 型衬底 51 上。

如图 5B 所示, 涂布一第一屏蔽层 53 并进行图案化, 且使用单一个光掩膜 57 将第一屏蔽层 53 位于栅极 521 及 522 上方、静电放电防护电路晶体管的部分漏极区 541 上方以及内部电路晶体管漏极与源极区上方的部分移除。光掩膜 57 系与轻掺杂漏极结构所使用的光掩膜整合为一, 用以定义静电放电防护电路中的静电放电离子注入区以及内部电路中的轻掺杂漏极结构之用。

如图 5C 所示, 进行一第一离子注入步骤。此步骤使用 N 型轻掺杂离子对未被图案化后的屏蔽层覆盖处进行离子注入, 其深度为 D1。此步骤形成了静电放电防护电路中的静电放电离子注入区 551 及内部电路的轻掺杂漏极区 552。

如图 5D 所示, 第一屏蔽层 53 被移除且在栅极 521 及 522 的侧壁形成侧间隙壁。侧间隙壁 56 经由化学气相沉积法沉积一介电层, 并加以蚀刻而形成。

如图 5E 所示, 涂布另一个第二屏蔽层 59 并进行图案化, 经由一 N 型重掺杂扩散光掩膜 58 将位于所有源极及漏极区上方的部分移除。

如图 5F 所示, 对未被图案化的第二屏蔽层 59 覆盖的区域进行一第二离子注入步骤, 以形成 N 型重掺杂区 543。此步骤使用 N 型重掺杂离子, 其深度为 D2, 且 D2 小于 D1。之后, 第二屏蔽层 59 便被移除。

第二离子注入步骤之后, 便进行传统的互补金属氧化物半导体工艺, 如金属硅化、金属互连线的工艺。

图 6 显示了依据前述步骤所形成的静电放电防护电路的剖面图。此电路具有一接合面深度 D1，稍大于漏极扩散区的接合面深度 D2。除了静电放电防护电路中的漏极 543 与源极 544 扩散区下方区域之外，N 型静电放电离子轻掺杂注入区 551 包住了位于漏极侧 543 的原轻掺杂漏极区。静电放电防护电路晶体管的漏极 543 耦合至一接合垫 61，而其源极、栅极及衬底则耦合至接地点。当一正向静电放电脉冲施加于接合垫 61 上时，静电放电防护晶体管的漏极会产生崩溃而钳制了静电放电电压。由于没有 N 型静电放电离子轻掺杂注入区的区域具有一较低的崩溃电压值，静电放电电流会先流经这些区域，使得一衬底电流会产生而触发在 NMOS 组件中的侧向 NPN 双载流子接合面晶体管。这些静电放电电流最终会经由此寄生侧向 NPN 双载流子晶体管进行放电。因此，静电放电电流路径会远离 NMOS 组件的弱信道表面，而流经一个大面积的区域。此组件避免一般 N 型静电放电离子注入组件崩溃电压增高的困扰，更可避免 P 型静电放电离子注入组件因噪声或信号突峰造成静电放电防护组件被误触的误动作。此外，提高了其静电放电防护能力，尤其是对机械模式的静电放电防护能力的提升。

另外，静电放电离子注入区的掺杂浓度是小于漏极掺杂区的。内部电路较深的轻掺杂漏极结构亦是由 N 型静电放电离子轻掺杂注入步骤形成的，如图 7 所示。接触点 71 可以形成于晶体管的栅极、漏极及源极上以做适当的互连线之用。静电放电防护组件之信道长度几乎于具有传统轻掺杂漏极结构的内部组件相同。由于横跨漏极、源极至 P 型衬底的区域具有较低的掺杂浓度，内部电路的接合面寄生电容值也较低，而提高了内部电路的操作速度。

再者，使用图 5A~5F 的工艺亦可以制作出用于混压输入输出接口电路而具有堆栈型 NMOS 结构的静电放电防护电路。其差异在于栅极的数目以及额外增加了 N 型重掺杂区 81，如图 8 所示。

综合上述，本发明提供一种具有新静电放电离子注入结构的静电放电防护组件的制造方法，其中用以制作轻掺杂漏极结构及静电放电离子注入区的

光掩膜整合为一。此种方法兼容于现行一般的互补金属氧化物半导体工艺。如此形成的静电放电防护组件具有低成本、高防护力及高操作速度的特性。

虽然本发明已以一较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此技艺者，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，因此本发明的保护范围当视后附的申请专利范围所界定者为准。

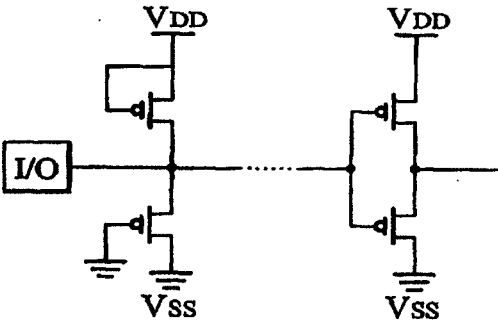


图 1

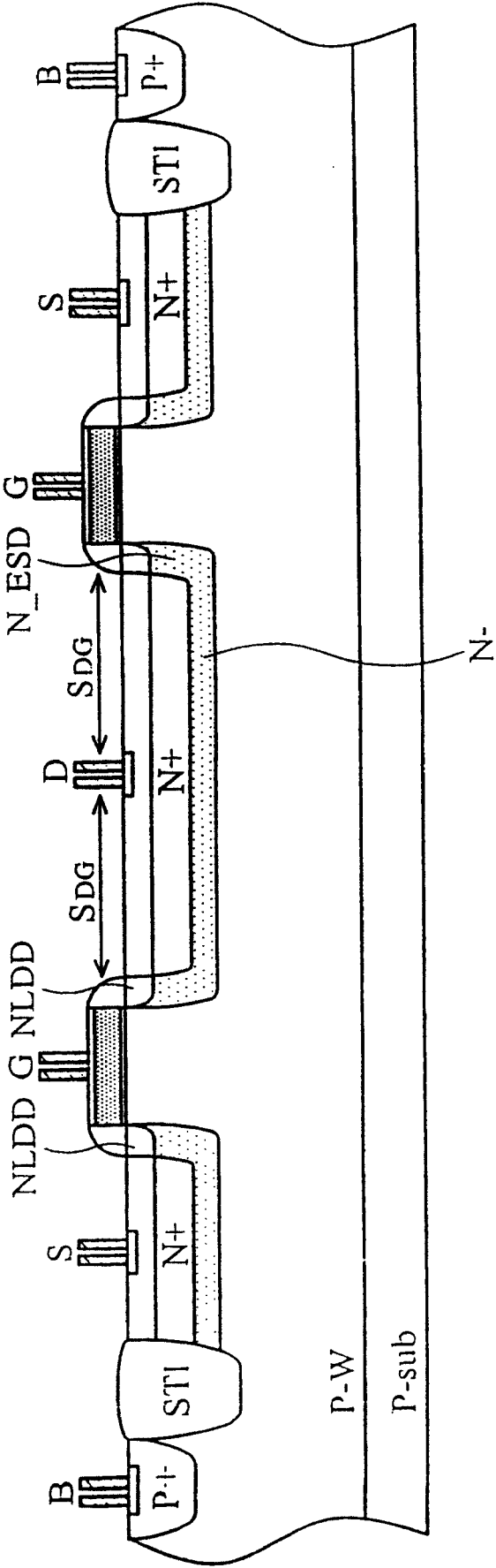


图 2

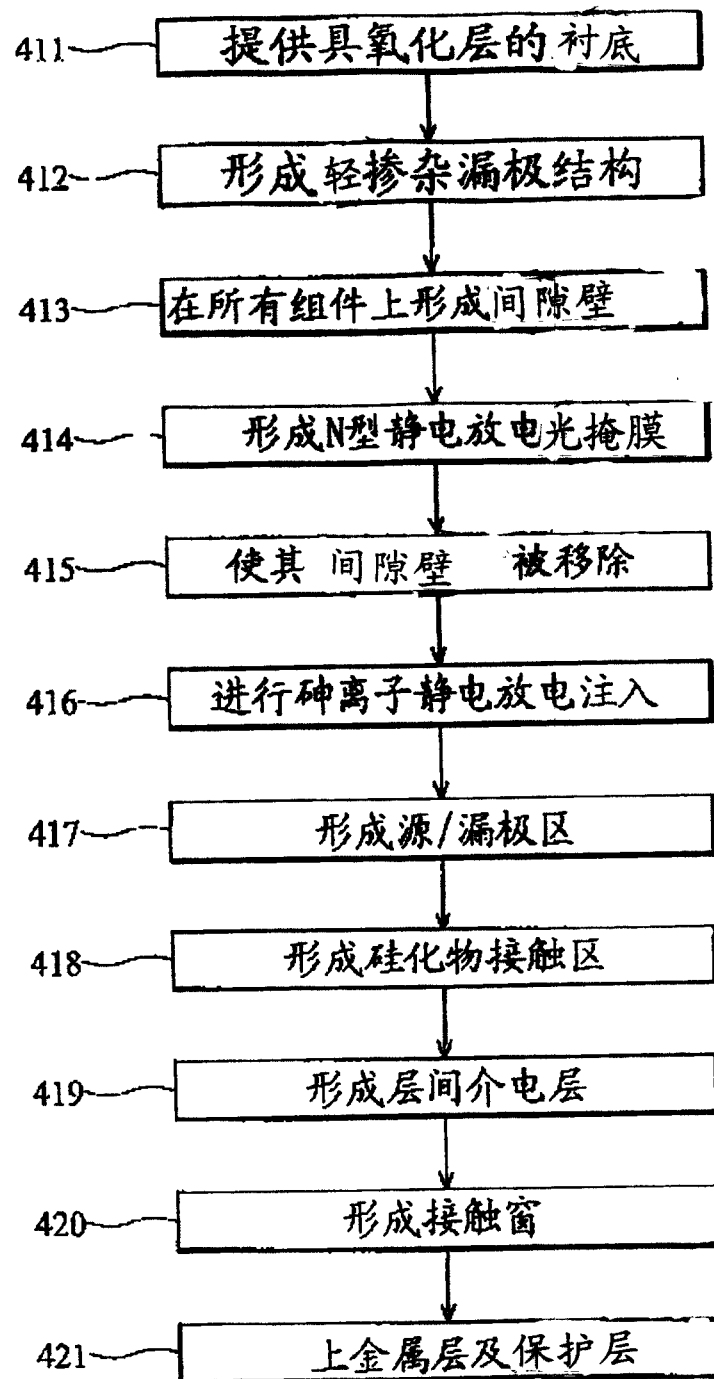


图 4

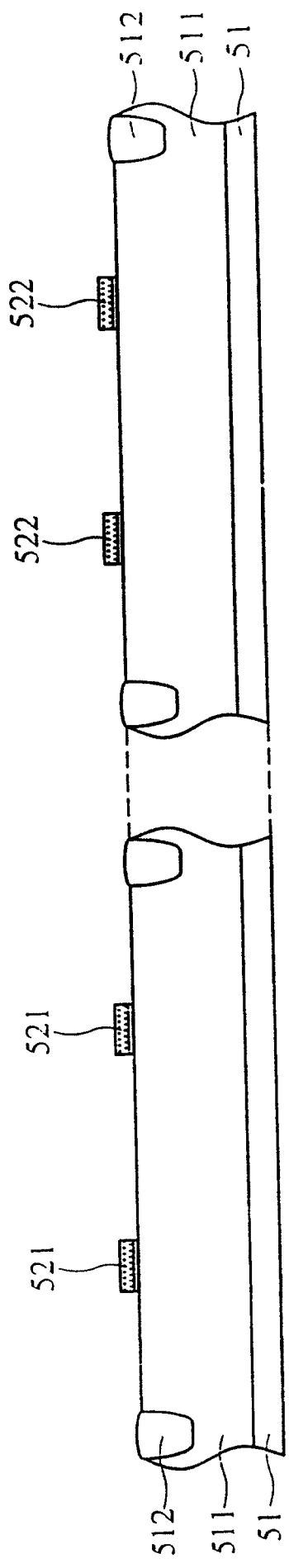


图 5A

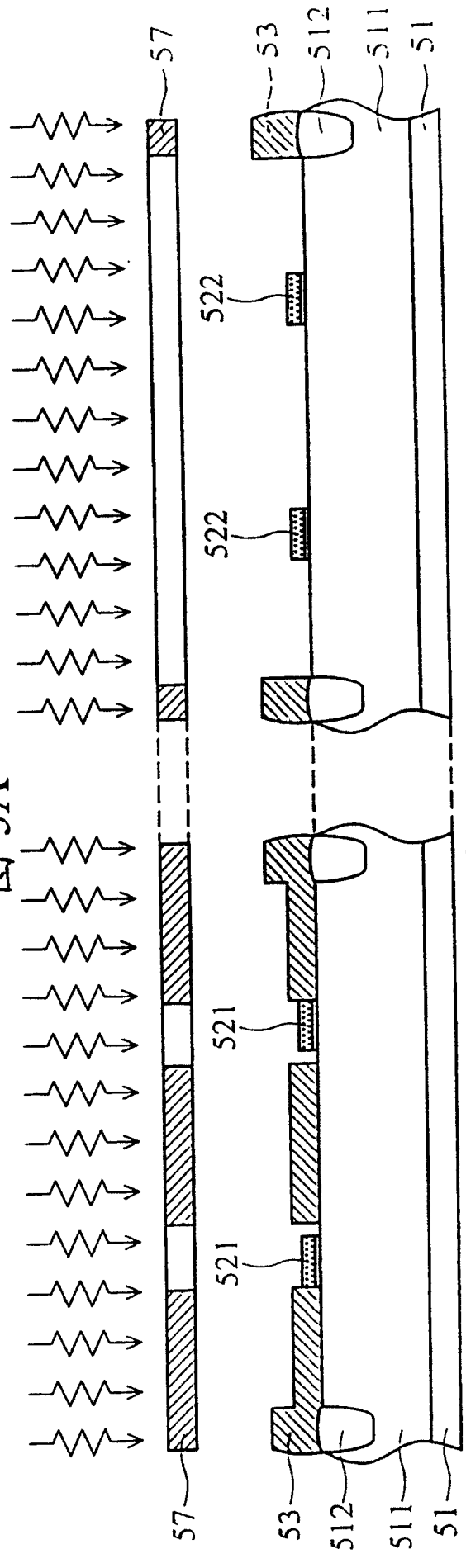


图 5B

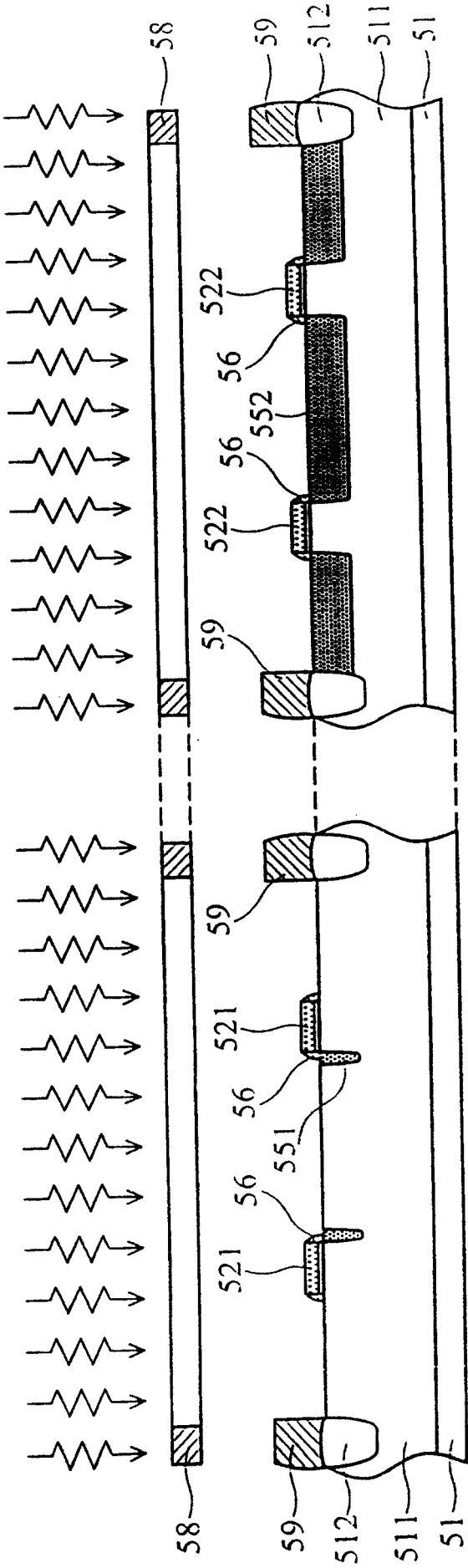


图 5E

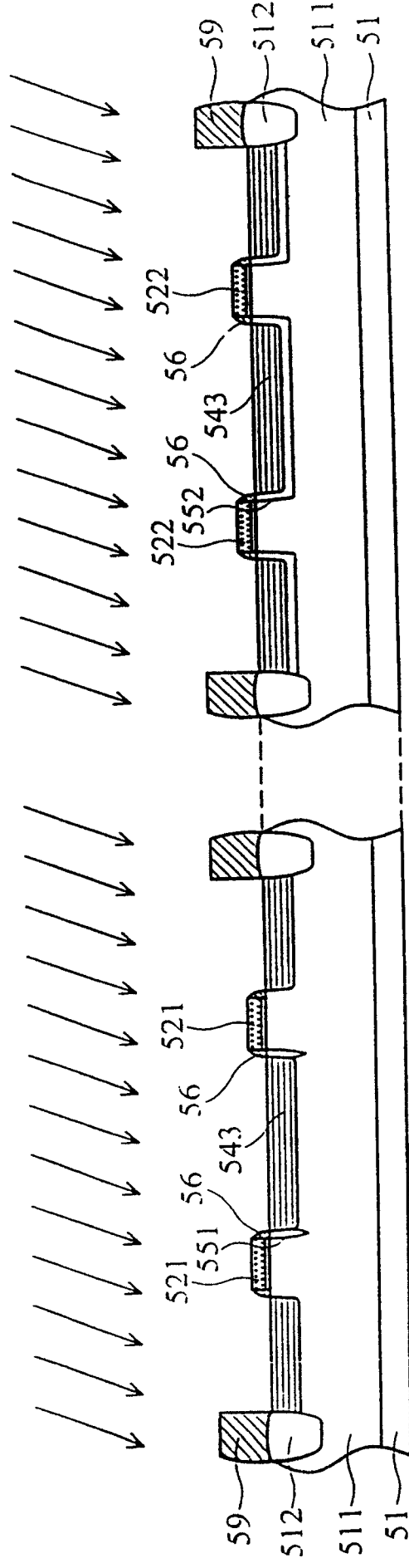


图 5F

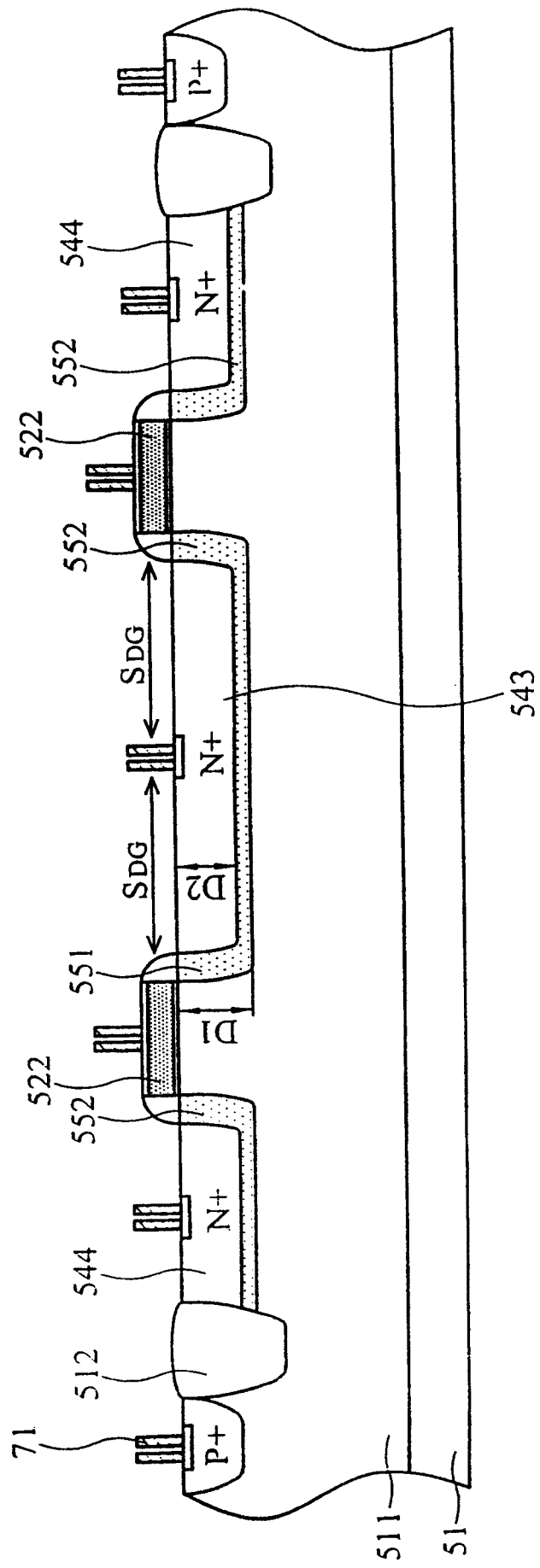
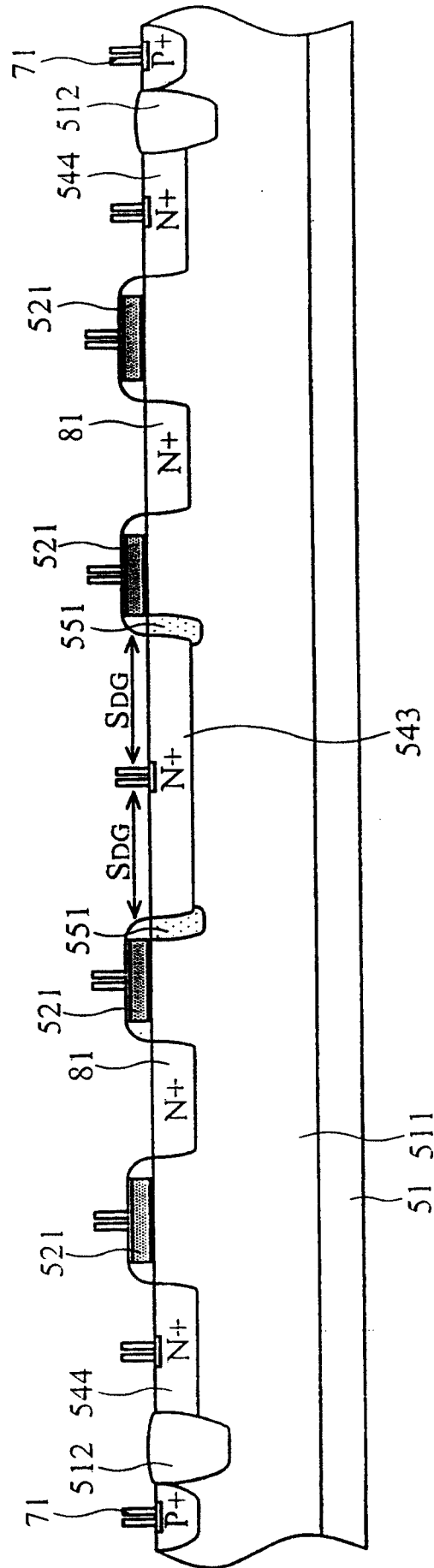


图 7



∞
